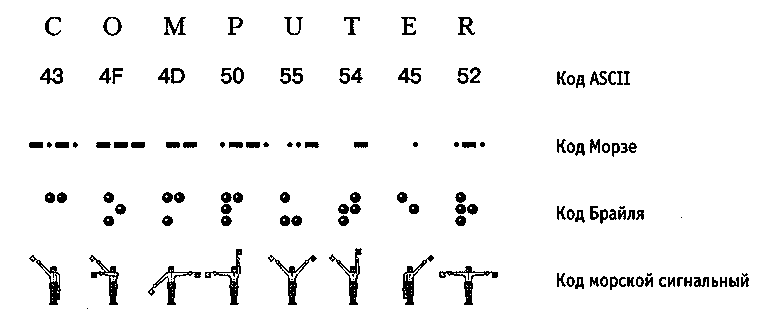
**Преобразователи кодов**



В цифровых устройствах часто возникает необходи­мость преобразования информации из одной двоичной системы в другую (из одного двоичного кода в другой).

Для представления двоичных систем используются раз­личные виды кодирования: прямой, обратный, дополни­тельный, двоично-десятичный и т. д. Особая роль отводится корректирующим кодам и кодам, обнаруживающим и исправляющим ошибки.

Они удобны для передачи сиг­налов по линиям связи в условиях воздействия помех.

На аппаратном уровне задачу преобразования инфор­мации из одного кода в другой выполняют комбинацион­ные устройства — преобразователи кодов.

Преобразователь кода — комбинационное устройство, предназначенное для изменения вида кодирования инфор­мации (английское — *converter).*

На принципиальных схемах преобразователи кодов обозначаются *X/Y.*

В отечественных сериях преобразова­тели код-код можно определить по буквам ПР. Буква П соответствует подгруппе преобразователей сигналов.

Например, 155ПР6 — преобразователь двоично-десятичного кода в двоичный; 155ПР7 — преобразователь двоичного кода в двоично-десятичный (рис.1 а, б).

Вход *ЕО* яв­ляется входом разрешения выхода.

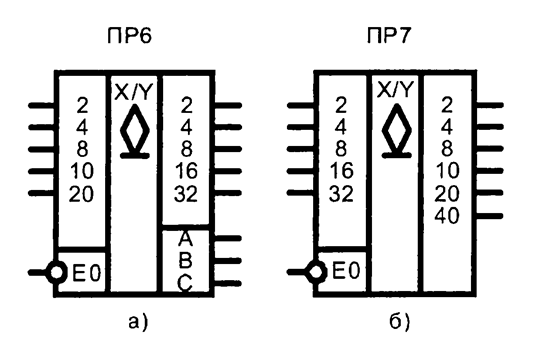


Рис.1.Обозначение преобразователей на принципиальной схеме

**Преобразователи параллельного кода в последовательный и обратно**

Преобразование параллельного кода в последовательный и обратно может осуществляться тремя способами: с помощью мультиплексоров, регистров сдвига и с помощью распределителей импульсов.

***Преобразователи на базе мультиплексоров и демультиплексоров***

Мультиплексор — преобразователь параллельного кода в последовательный. Схема такого преобразователя приведена на рис. 2,3.

Здесь четырехразрядный параллельный код подается на информационные входы мультиплексора, адресные входы которого подключены к выходам 2-разрядного счетчика.

Если счетчик изменяет свои состояния от тактовых импульсов в последовательности 0, 1, 2, 3, то на выходе мультиплексора появляются разряды слова, начиная с младшего; если как 3, 2, 1, 0, то начиная со старшего.

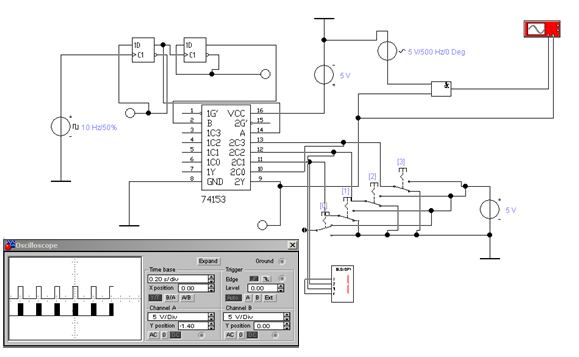
******

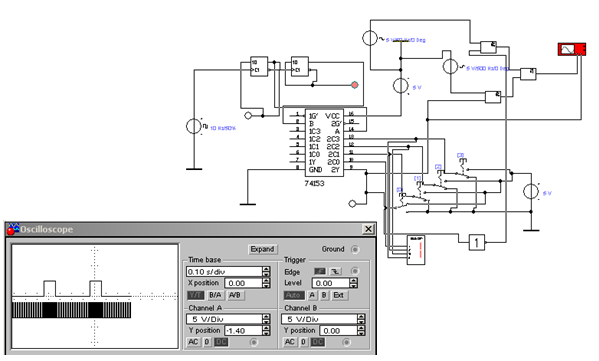
Рис.2. Преобразователь кода с амплитудной манипуляцией******

Рис.3. Преобразователь кода с частотной манипуляцией

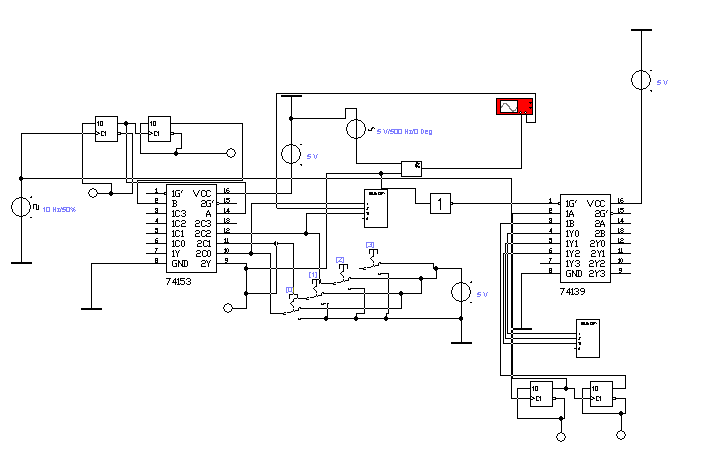


Рис.4. *Преобразователи параллельного кода в последовательный и обратно на базе мультиплексора и демультиплексора*

***Задание 1.Собрать и исследовать схемы на рис.2-4***

***Преобразователи с регистрами сдвига***

Регистр сдвига - это устройство, с помощью которого осуществляют хранение n-разрядных двоичных чисел и поразрядный сдвиг (вправо, влево) хранящихся в нем чисел.

Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове.

С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами.

Фактически любое цифровое устройство можно представить в виде совокупности регистров, соединенных друг с другом при помощи комбинационных цифровых устройств.

Регистры классифицируются по следующим видам:

1.      Параллельные или накопительные (регистры памяти, хранения);

2.      Последовательные или сдвигающие.

В свою очередь сдвигающие регистры делятся:

     по способу ввода-вывода информация:

параллельные; последовательные; комбинированные;

     по направлению передачи информации: однонаправленные; реверсивные.

Типичными являются следующие операции:

  прием слова в регистр;

  передача слова из регистра;

  поразрядные логические операции;

  сдвиг слова влево или вправо на заданное число разрядов;

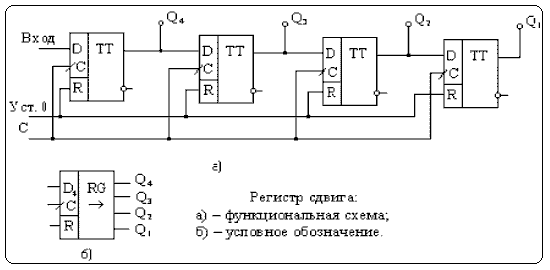
  преобразование последовательного кода слова в параллельный и обратно;

  установка регистра в начальное состояние (сброс)

Элементарной ячейкой электронной памяти является триггер, способный сохранять 1 бит записанной в нем информации.

Регистром называется устройство из триггеров, предназначенное для записи, хранения и выдачи информации.

Каждый разряд двоичного числа записывается в своем триггере, поэтому число триггеров в регистре определяет разрядность записываемого числа. Наиболее распространенным видом регистров являются регистры сдвига.   
 Регистром сдвига называют цифровую схему, состоящую из последовательно включенных триггеров, содержимое которых можно сдвигать на один разряд влево или вправо подачей тактовых импульсов. Составляется регистр сдвига из соединенных последовательно триггеров, в которые записываются разряды обрабатываемого кода. При наличии разрешающих сигналов импульс, приходящий на тактовый вход регистра, вызывает перемещение записанной информации на один разряд влево или вправо. На рис. 5 приведена структурная схема регистра сдвига на D-триггерах.

Рис. 5 Регистр сдвига на D - триггерах.

Такие регистры имеют один информационный вход, вход для импульсов синхронизации (импульсов сдвига) и установочный вход **R**. Выходы в регистре могут быть с каждого разряда для считывания информации в параллельном коде. Также имеется один выход с последнего (относительно входа) разряда для считывания информации последовательно во времени, т.е. последовательным кодом. Вход регистра для импульсов сдвига получается объединением **С** - входов всех триггеров, а установочный вход – объединением **R** - входов.

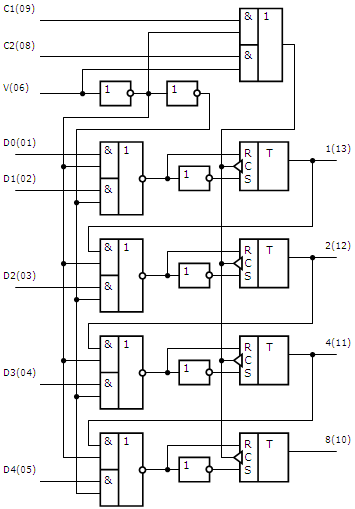
Перед записью информации регистр устанавливается в нулевое состояние подачей положительного импульса по шине “**Уст.0**”. Записываемая информация должна быть представлена последовательным кодом. Запись осуществляется поразрядно со стороны старшего (рисунок 1) или младшего разряда (направление сдвига указывается стрелкой на условном обозначении регистра) путём продвижения кодовой комбинации с каждым тактовым импульсом от разряда к разряду. Следовательно, для записи **N** – разрядного слова необходимы **N** – импульсов сдвига.

Считывание информации последовательным кодом осуществляется, как и запись, поразрядным сдвигом записанной кодовой комбинации к выходу с каждым тактовым импульсом. Следовательно, для считывания **N** – разрядного слова необходимы **N** импульсов сдвига. Считывание информации параллельным кодом происходит в паузе между последним импульсом сдвига одного цикла записи и первым импульсом сдвига другого цикла записи, т.е. в интервале времени, когда на С-входах триггеров нулевой уровень, и они находятся в режиме хранения.

Таким образом, с помощью регистра сдвига можно осуществлять преобразование информации из последовательной формы представления в параллельную форму. Очевидно, если предусмотрена запись информации параллельным кодом, то можно преобразовывать информацию из параллельной формы представления в последовательную.

Выдача информации у него может быть как параллельной, так и последовательной. При параллельной выдаче информация снимается одновременно с выходов всех триггеров. Последовательная выдача осуществляется с выхода Q0 при последующих тактовых импульсах. Параллельный прием информации может быть осуществлен подачей ее на выводы предустановки.

Схемотехнику регистров сдвига рассмотрим на примере регистра К155ИР1.



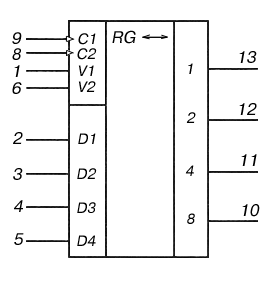


Рис. 6. Схема и обозначение регистра сдвига К155ИР1.

1 - информационный вход V1;  
2 - вход первого разряда D1;  
3 - вход второго разряда D2;  
4 - вход третьего разряда D3;  
5 - вход четвертого разряда D4;  
6 - вход выбора режима V2;  
7 - общий;  
8 - вход синхронизации C2;  
9 - вход синхронизации C1;  
10 - выход четвертого разряда;  
11 - выход третьего разряда;  
12 - выход второго разряда;  
13 - выход первого разряда;  
14 - напряжение питания 5 В;

*Зарубежные аналоги*

**SN7495N, SN7495J**

Этот регистр содержит четыре тактируемых фронтом D-триггера, соединенных после­довательно с помощью ячеек И-ИЛИ.

Если на вход V (вывод 6) регистра подан потенциал "нуль", то выход каждого предыдущего триггера оказывается соединенным через ячейку И-ИЛИ со входом D последующего.

При этом импульсы, приходящие на тактовый вход C2, будут каждый раз устанавливать последующий триггер в состояние, в котором до этого находился предыдущий.

Таким образом осуществляется сдвиг информации вправо.

Вход I регистра, связанный со входом D первого триггера, служит для приема информа­ции в виде последовательного кода.

С каждым тактовым импульсом на этот вход должен подаваться код нового разряда входной информации. После приема четырех разрядов по­следовательного кода соответствующий параллельный код может быть получен с выходов триггеров Q1-Q4. Запись параллельного кода в регистр идет по входам D1-D4 при подаче потенциала "I" на вход V и тактового импульса на вход C1. Устанавливая затем V=0 и по­давая тактовые импульсы на вход С2, мы обеспечим сдвиг записанного кода. При этом с выхода Q4 последнего триггера снимается последовательный выходной код. Иногда тре­буется производить в регистре сдвиг информации как вправо, так и влево. В рассматри­ваемом устройстве (рис. 6) такая возможность появляется, если попарно соединить вы­воды Q4 и D3, Q3 и D2, Q2 и D1. Вход V в этом случае будет играть роль переключателя на­правления сдвига: если V=1, то тактовые импульсы С1 сдвигают информацию влево, а вход D4 служит для приема последовательного кода; если же V=0, то, как указывалось выше, импульсы С2 будут сдвигать информацию вправо.

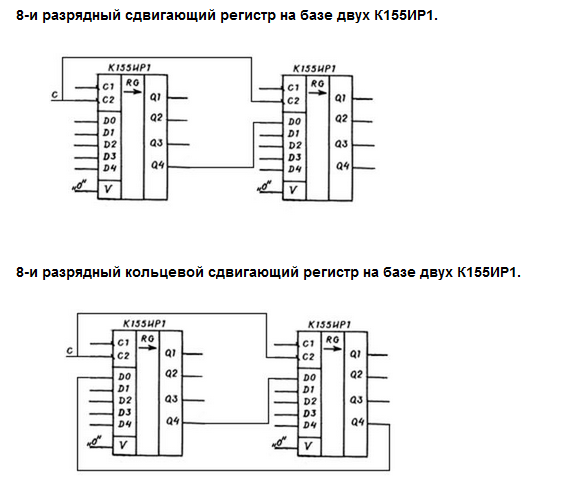




Рис. 7. Соединение регистров для увеличения разрядности

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (2С или 3С).

Большинство регистров сдвига имеет восемь разрядов. На [рис. 8](http://www.intuit.ru/studies/courses/104/104/lecture/3043?page=5#image.8.15) представлены для примера четыре типа микросхем регистров сдвига.

Регистр ИР8 - наиболее простой из регистров сдвига.

КР1533ИР8  - Аналог SN74ALSI64

Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов.

Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала С.

Имеется также вход сброса –R, по нулевому сигналу на котором все выходы регистра сбрасываются в нуль.

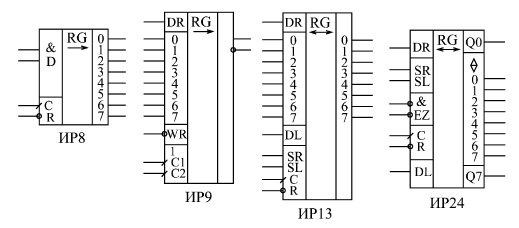


Рис.8. Регистры сдвига

Регистр ИР9 выполняет функцию, обратную регистру ИР8.

Если ИР8 преобразует входную последовательную информацию в выходную параллельную, то регистр ИР9 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в ИР9 все внутренние триггеры имеют выведенные параллельные входы, и только один, последний триггер имеет выход (причем как прямой, так и инверсный).

Запись входного кода в регистр производится по нулевому сигналу на входе -WR. Сдвиг осуществляется по положительному фронту на одном из двух тактовых входов С1 и С2, объединенных по функции 2ИЛИ.

Имеется также вход расширения DR, сигнал с которого в режиме сдвига перезаписывается в младший разряд сдвигового регистра.

На рис.9 показана схема передачи цифровой информации в последовательном коде по двум линиям: информационной и синхронизующей.

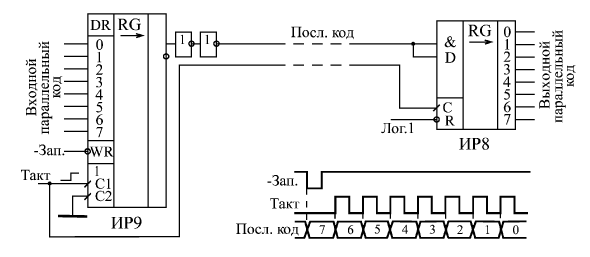


Рис. 9. Последовательная передача информации с помощью регистров сдвига

КР1533ИР8  - Аналог SN74ALSI64

КР1533ИР9 - Аналог SN74ALS165

На передающем конце (слева на рисунке) с помощью сдвигового регистра ИР9 входной параллельный 8-разрядный код преобразуется в последовательность разрядов данных, следующих с частотой тактового сигнала. На приемном конце (справа на рисунке) с помощью сдвигового регистра ИР8 эта последовательность разрядов данных снова преобразуется в параллельный код. Оба регистра тактируются одним и тем же тактовым сигналом, который передается по линии связи параллельно с последовательностью данных. Для увеличения надежности передачи информационный сигнал дополнительно задерживается относительно фронта тактового сигнала с помощью цепочки из двух инверторов.

Первый бит последовательного входа (со входа 7 регистра ИР9) начинает передаваться с началом сигнала записи -Зап. Следующие разряды передаются с каждым следующим положительным фронтом тактового сигнала С. Последним передается сигнал со входа 0. В регистр ИР8 разряды последовательного кода записываются в том же самом порядке, в каком они были в регистре ИР9. По окончании передачи первый переданный сигнал данных окажется в разряде 7 шины данных регистра ИР8, а последний переданный сигнал данных - в разряде 0.

***Задание 2.На основе схемы на рис.6 собрать стенд и исследовать работу регистра.***

***Задание 3. На основе схемы на рис.9 собрать стенд и исследовать работу схем преобразователей кодов.***

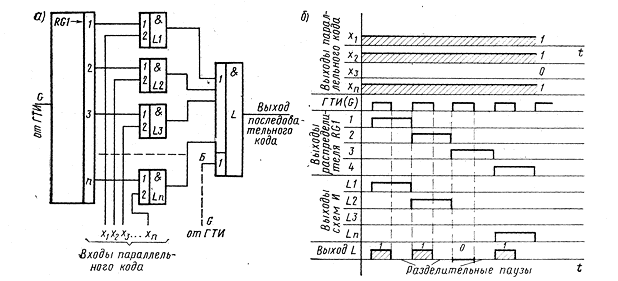
***Преобразователи с распределителями импульсов*** 

Рис.10. Преобразователь параллельного кода в последовательный с распределителем импульсов (а) и диаграмма его работы (б)

Преобразователь параллельного кода в последовательный (рис. 10) содержит распределитель импульсов (регистр сдвига RG1), логические схемы И (L1 - Ln) и выходную схему ИЛИ (L).

Вход 1 каждой схемы LI - Ln связан с соответствующим выходом распределителя; на входы 2 схем И поступают сигналы параллельного кода. С помощью распределителя осуществляется последовательный опрос входов параллельного кода и последовательная передача считываемых сигналов на выход.

Генератор тактовых импульсов ГТИ поочередно переключает распределитель из одного положения в другое. Сигнал 1 с выхода распределителя поочередно поступает на схемы И. Если на другой вход схемы И с шинки параллельного кода также поступает сигнал 1, то и на выходе соответствующей схемы И будет также сигнал 1, который через схему ИЛИ (L) пройдет на выход.

Допустим, что на входах параллельного кода Х1, Х2, Х3, ... была комбинация сигналов 1101. Тогда в момент нахождения распределителя на позиции 1 на входе схемы L1 будет иметь место совпадение сигналов 1 и на выходе также будет сигнал 1. Далее распределитель переключается на позицию 2; при этом происходит совпадение сигналов 1 на входе схемы L2. Сигнал 1 также проходит на выход. При переключении распределителя в позицию 3 на схему со стороны распределителя будет поступать сигнал 1, а со стороны кодовой шинки - сигнал 0, т. е. имеет место несовпадение сигналов, поэтому на выходе будет сигнал 0. В позиции n со схемы Ln на выход аналогично рассмотренному также пройдет сигнал 1. В результате на выходе является комбинация 1101 последовательного кода.

В рассмотренном случае последовательная кодовая комбинация не имеет делительных пауз. Разделительные паузы легко получить, введя в схему ИЛИ (L), включенную на выходе распределителя, дополнительный вход 5, образующий с основными схему И, и на него подавать сигнал 1 только импульсе. При паузе тактовой серии на вход Б будет поступать сигнал 0, схема в течение полупериода тактовой серии будет закрыта.

Преобразователь последовательного кода в параллельный (рис. 11) в принципе работает аналогично рассмотренному. Элементы комбинации последовательного кода поочередно поступают на вход последовательного кода и на один из входов каждой схемы И (L1 - Ln). Пусть на вход поступает та же комбинация 1101.Тогда первый импульс соответствует сигналу 1. Если распределитель в этот момент находился в позиции 1, то на его вводе 1 будет сигнал 1 и, следовательно, на выходе схемы L1 также будет сигнал 1, который поступит в устройство памяти. Если при втором элементе комбинации распределитель находился в позиции 2, то на выходе L2 также будет сигнал 1, который тоже поступит в запоминающее устройство. В позиции 3 распределителя на вход последовательного кода поступает сигнал 0 и в запоминающее устройство также 0. Аналогично в позиции n в устройство памяти поступит сигнал 1. Записанную комбинацию 1101 в любое время можно считать в виде параллельного кода.

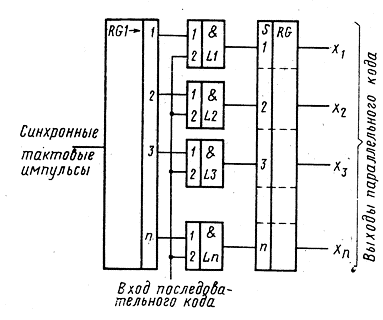


Рис.11. Преобразователь последовательного кода в параллельный с распределителем импульсов

Отметим важную особенность рассмотренной схемы. Распределитель импульсов в ней должен переключаться синхронно с поступающей кодовой комбинацией, т.е. при первом импульсе должен находиться в позиции 1, при втором - в позиции 2, при третьем - в позиции 3 и т. д. Это обеспечивается специальными схемами синхронизации.

***Задание 4. На основе схемы на рис.10,11 собрать стенд и исследовать работу схем преобразователей кодов.***

***Преобразователь******двоичного******кода******в******код******семисегментного******индикатора***

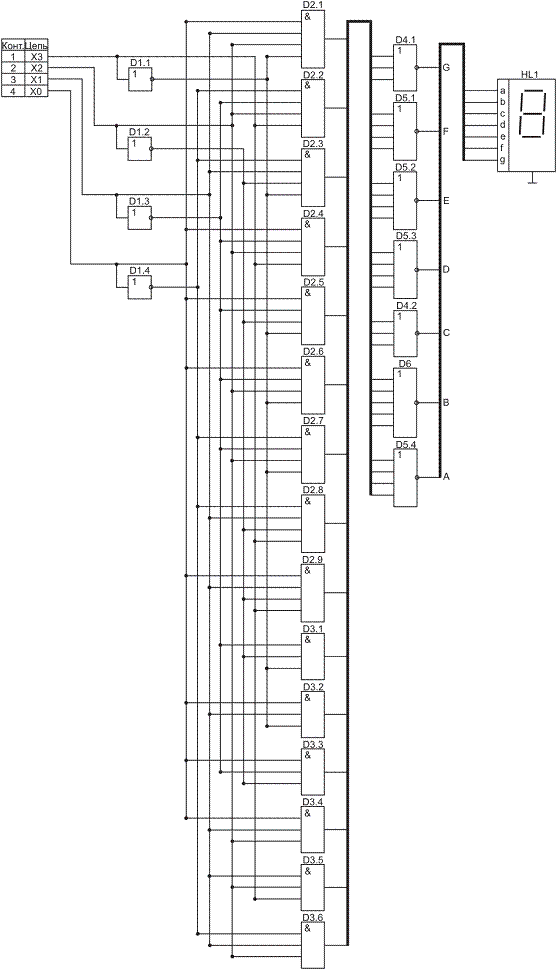


Рис.11.Функциональная схема преобразователя двоичного кода в код семисегментного индикатора

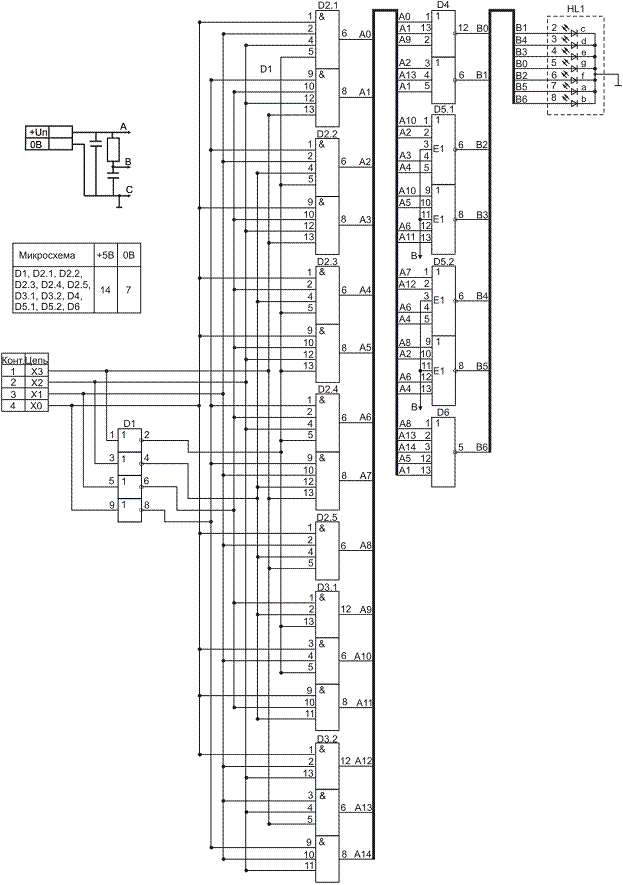


Рис.12.Принципиальная схема преобразователя двоичного кода в код семисегментного индикатора

***Задание 5. На основе схемы на рис.12 собрать стенд и исследовать работу схемы преобразователя кода.***

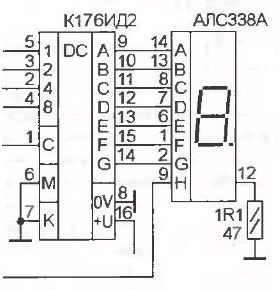


Рис.13.Преобразователь на микросхеме К176ИД2

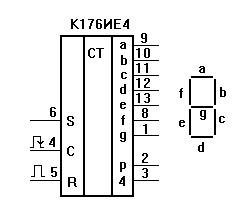
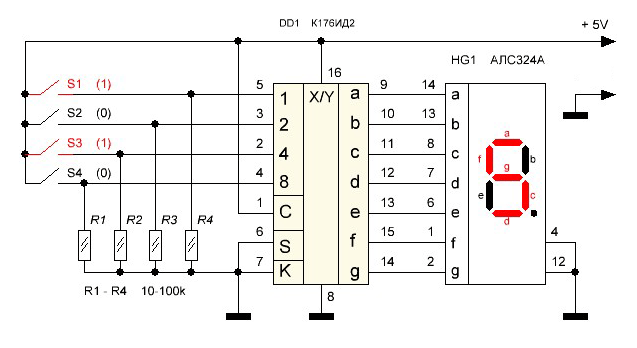


Рис.14. Преобразователь со счетчиком

Для удобства конструирования всевозможных цифровых шкал (к примеру, часов или частотомеров) преобразователи могут объединять со счетчиками. Например – К176ИЕ3 и К176ИЕ4

***Задание 6. На основе схемы на рис.14 собрать стенд и исследовать работу схемы К176ИЕ4 (***CD4026)



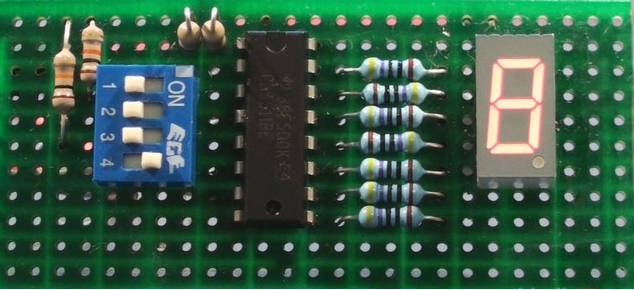


Рис.14. Стенд для исследования преобразователя